

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

02136068      \*\*Image available\*\*

MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE

PUB. NO.:      62-052968 [JP 62052968 A]

PUBLISHED:      March 07, 1987 (19870307)

INVENTOR(s):      NAKAYAMA RYOZO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      60-192007 [JP 85192007]

FILED:      September 02, 1985 (19850902)

INTL CLASS:      [4] H01L-029/78; H01L-021/265; H01L-029/60

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:      Section: E, Section No. 529, Vol. 11, No. 240, Pg. 100.  
August 06, 1987 (19870806)

#### ABSTRACT

**PURPOSE:** To obtain an LDD structure in which left and right N(sup -) type region are identical self-aligningly by forming the shape of the end of a gate electrode with a taper angle larger than the incident angle of an ion beam for ion implantation.

**CONSTITUTION:** Field oxide films 12 and an SiO(sub 2) film 13 as a gate insulating film are formed on a substrate 11. After that, after gate electrode material, for instance polycrystalline silicon, is applied to the whole surface, a photoresist 15 is selectively left and a tapered gate electrode 14 with a taper angle of 70 deg.-80 deg. is formed by reactive ion etching with the photoresist 15 as a mask. After that, the N(sup -) type first impurity layers 16 are formed by applying ion implantation to the substrate surface with offset angle of the beam of 7 deg. with the gate electrode 14 as a mask. After a thermal oxide film 17 is formed around the gate electrode 14, a polycrystalline Si film 18, for instance, is deposited over the whole surface. Then the N(sup +) type second impurity layers 19 are formed by ion implantation with the gate electrode 14 and the polycrystalline Si film 18' on the side wall of the gate electrode 14 as masks. Then the polycrystalline Si film 18 is removed.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

007105240

WPI Acc No: 1987-105237/198715

Electric concn.-mitigated MOSFET - obtd. by forming trapezoidal gate electrode under RIE, injecting phosphorous ion into wafer, etc.

NoAbstract Dwg 6/6

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 62052968</b>	A	19870307	JP 85192007	A	19850902	198715 B

Priority Applications (No Type Date): JP 85192007 A 19850902

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 62052968	A		5		

Title Terms: ELECTRIC; CONCENTRATE; MOSFET; OBTAIN; FORMING; TRAPEZOID;  
GATE; ELECTRODE; RIE; INJECTION; PHOSPHOROUS; ION; WAFER;  
NOABSTRACT

Index Terms/Additional Words: METAL; OXIDE; SEMI; CONDUCTOR; FIELD; EFFECT;  
TRANSISTOR; REACT; ION; ETCH

Derwent Class: L03: U12

International Patent Class (Additional): H01L-021/26; H01L-029/78

File Segment: CPI; EPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-52968

⑫ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)3月7日

H 01 L 29/78  
21/265  
29/60

8422-5F  
7738-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 MOS型半導体装置の製造方法

⑮ 特 願 昭60-192007

⑯ 出 願 昭60(1985)9月2日

⑰ 発 明 者 中 山 良 三 川崎市幸区小向東芝町1 株式会社東芝総合研究所内  
⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
⑲ 代 理 人 弁 理 士 則 近 憲 佑 外1名

## 明 細 書

### 1. 発明の名称

MOS型半導体装置の製造方法

### 2. 特許請求の範囲

半導体基板上にゲート絶縁膜を介して電極がテーパー加工されたゲート電極を形成する工程と、このゲート電極をマスクに傾斜イオンビームを照射して基板と逆導電型の低濃度不純物層を形成する工程と、前記半導体基板表面全面に被膜を形成する工程と、この被膜を通して傾斜イオンビームを照射して基板と逆導電型の高濃度不純物層を形成する工程とを備えた事を特徴とするMOS型半導体装置の製造方法。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

本発明はMOS型電界効果トランジスタの製造方法に係り、特にトランジスタ内部の電界集中を緩和したトランジスタの製造方法に関する。

#### 〔発明の技術的背景とその問題点〕

現在MOS型電界効果トランジスタにおいて高

集積化のためのデバイス寸法は確実に微小化の方向にあるが、これに当り種々の問題が出て来ている。その1つにドレイン近傍の電界集中の影響がある。これは、素子寸法が小さくなるにもかかわらず、電源電圧が低減されないために起こる。これによりドレイン近傍で加速された電子は、ホットエレクトロンや、ホットキャリア発生の原因の1つとなっている。そして、ゲート酸化膜にトラップされた電子は、しきい値シフトの原因となり、MOSトランジスタの信頼性が低下する。このようなドレイン近傍の電界集中を緩和させ、ホットエレクトロンやホットキャリアの発生を弱め、さらにしきい値変動を減少させる方法として、種々のデバイス構造が提案されて来た。第5図にLDD(Lightly Doped Drain)構造を示す。これはドレインのゲート方向に不純物濃度の低い $n^+$ 層を形成し、これにより、ドレイン近傍の電界を緩和しようとするものである。

この $n^+$ 層を形成するのにゲート電極⑤をマスクにイオン注入法を用いている。このイオン注入

法ではチャネルリングを防止するために基板表面に対して $5 \sim 10^\circ$  程度傾けてイオン注入を行っている。このためゲート電極を微細化するために異方性エッチングを用いて最適な端部形状にするため、ゲート電極の左右では、イオン注入される $n^-$ 領域の寸法が異なってくる。第6図にこの状態を示す。つまり、 $n^-$ 領域の寸法を左は $a$ 、右は $b$ とした時、 $a < b$ となる。またゲート電極と $n^-$ 領域がオフセット( $c$ で示す)が生じる。この $a < b$ という様に $n^-$ の寸法が左右で異なると、 $n^-$ は抵抗分を有しているので、ドレインとソースを入れ換えて動作させた時の電流増幅率( $\beta m$ )等のトランジスタ特性が異なってくる。このため、回路が動作しなくなる。また、オフセット( $c$ )が生じる事により、チャネル領域をゲート電極で制御出来なくなるという問題が生じる。

この問題はウェハーの周辺部にねばなる微細部になるので、ウェハーの大口徑になる程大きな問題となる。

〔発明の目的〕

〔発明の実施例〕

本発明の一実施例を第1図～第3図を用いて説明する。まず、例えばP(100)のSi基板(11)を用意してフィールド酸化膜(12)を例えばBOX法を用いて形成した後、例えば熱酸化法によりゲート絶縁膜として $SiO_2$ 膜(13)を $200\text{\AA}$ 程度形成する。その後、全面にゲート電極材料として例えばPoly-Si膜を約 $4000\text{\AA}$ 程度形成した後、写真蝕刻法を用いて選択的にフォトレジスト(15)を積層させ、前記フォトレジスト(15)をマスクに例えばCF<sub>4</sub>ガスとO<sub>2</sub>ガスを用いた反応性イオンエッチング(RIE)によりテーパ角が約 $70^\circ \sim 80^\circ$ のゲート電極(14)をテーパ形成する。その後、ゲート電極(14)をマスクに基板表面11に対してビームのオフセット角度が $7^\circ$ であるイオン注入により例えばP<sup>+</sup>(リン)を $50\text{KeV}$   $3 \times 10^{18}/\text{cm}^2$ の条件で第1の不純物層 $n^-$ (16)を形成する。

(第1図参照)

次に例えば熱酸化法によりゲート電極(14)の周辺に熱酸化膜(17)を約 $300\text{\AA}$ 形成した後、全面に

この発明は高集積化においてのLDD構造の工程において自己整合的に左右の $n^-$ 領域が等しいLDD構造を得ることを可能にした半導体装置の製造方法を提供することを目的とする。

〔発明の概要〕

本発明はゲート電極の端部形状をイオン注入のイオンビームの入射角より大きなテーパ角に形成して、ゲート電極の下に形成される左右の $n^-$ 領域の寸法の違いを小さくする方法である。

〔発明の効果〕

本発明によれば、左右の $n^-$ 領域の寸法を同一に形成する事が出来るので、ソース・ドレインを入れ換えた時でも電流増幅率( $\beta m$ )の差がなくなるので、設計通りのTr特性が得られる。

また $n^-$ 領域とゲート電極のオフセットも防げるので、ゲート電極でチャネル領域を制御出来なくなるという問題も防げるので、高信頼性の微細なTrが形成出来る。

ウェハーの大口徑によるTr特性のパラッキも防ぐ事が出来る。

例えばPoly-Si膜(18)を $1500\text{\AA}$ 程度積層する。その後前記Poly-Si膜(18)を通して、ゲート電極(14)およびゲート電極(14)隔壁部のPoly-Si膜(18')をマスクにイオン注入法により例えば、 $As^+$ を $200\text{KeV}$ で $5 \times 10^{18}/\text{cm}^2$ の条件で、第2の不純物層 $p^+$ (19)を形成する。(第2図参照)

次に前記Poly-Si膜(18)を例えばCF<sub>4</sub>およびO<sub>2</sub>ガスを用いたCDB(ケミカル・ドライ・エッチング)により除去する。(第3図参照)

後は周知の技術により配線工程を行ない半導体装置を製造する。

この方法によれば、 $10^\circ$ 程度のイオンビームのオフセットに対して $n^-$ (16)、 $p^+$ (17)の不純物層は、ゲート電極(14)に対して同じ寸法で形成する事が出来る。このようにゲート電極のテーパ角と同じイオンビームのオフセットが許容される事になる。

テーパ角をコントロールする方法として、前記ゲート電極の上部に薄い不純物層を形成する事によっても容易に形成出来る。

例えば、Poly-Siをゲート電極として、上部に例えば $P^+$ を $4 \times 10^{14}/\text{cm}^2$ イオン注入し、その後パターニングすることによりテーパ角を $45^\circ$ 、 $2 \times 10^{13}/\text{cm}^2$ で $30^\circ$ が得られる。又 $n^-$ (16)の寸法(第3図のLで示す。)はPoly-Si膜(18)の膜厚で容易に制御良く変化できる。又膜としてPolyの他SiN、BPSG、BSP、PSG等がつかえる。また、膜を除去しなくても良い。この場合工程が短縮出来る。

また従来のように調整残し工程によるRIBのダメージが形成されないのでTrの信頼性が向上する。

さらにフィールドの曝けがないためフィールド膜厚を最初に形成する時厚くする必要がないため、微細化が出来る。

またテーパ角を有しているため、後の工程での基板表面の平坦化が容易となり、その上の金属配線の断切れ等の不良も発生しなくなる。

本方法は $n\text{-Ch Tr}$ で説明したが $P\text{-Ch}$ 、CMOS等に応用出来る。

また、第4図に示す様 $n^-$ 層(24)を形成した後基板と同導電型の不純物層( $P^-$ )(26)を $n^-$ 層(24)の下に形成すると良い。これによりショートチャネル効果を防止できるので、より微細なTrが形成出来る。

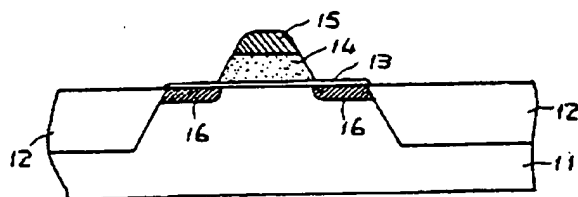
#### 4. 図面の簡単な説明

第1図、第2図、第3図及び第4図は本発明の実施例の断面図、第5図、第6図は従来の断面図である。

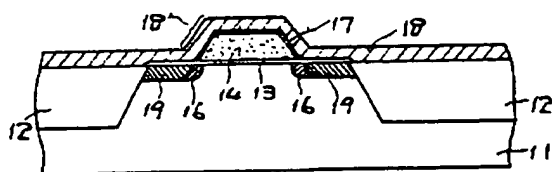
1、11…Si基板、12…フィールド酸化膜、4、6、13、17、22… $\text{SiO}_2$ 膜、5、14、23…ゲート電極、15…フォトレジスト、7、2、19、25… $n^+$ 層、3、16、24… $n^-$ 層、26… $P^-$ 層、18…Poly-Si膜。

代理人 弁理士 則 近 彦 佑

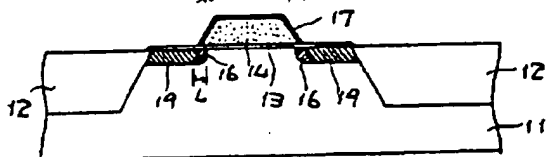
同 竹 花 喜久男



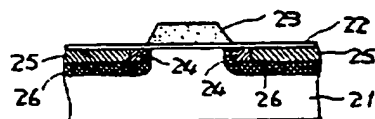
第 1 図



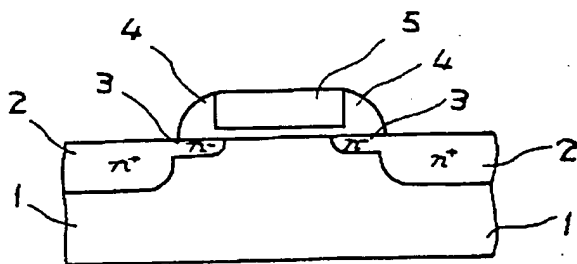
第 2 図



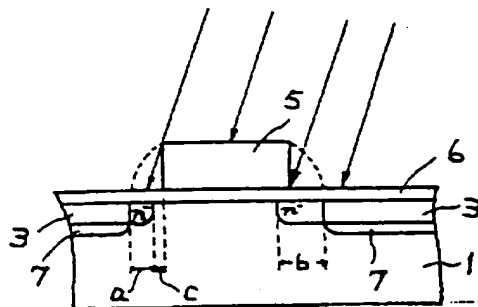
第 3 図



第 4 図



第 5 図



第 6 図